



Entry 3 of 4

File: JPAB

Oct 29, 1999

JB-NO: JP411297696A

DOCUMENT-IDENTIFIER: JP 11297696 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: October 29, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIMIZU, NORIYOSHI	
KITADA, HIDEKI	
OTSUKA, NOBUYUKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	

APPL-NO: JP10097948

APPL-DATE: April 9, 1998

INT-CL (IPC): H01L 21/3205; H01L 21/28; H01L 21/768

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method of forming a high electromigration-resistance Cu wiring having a high adhesion to the base surface by the plating method.

SOLUTION: A layer insulation film 10 is deposited on the surface of a substrate with a semiconductor element formed thereon, wiring trenches 11 are formed into the layer insulation film 10, a barrier layer 12 made of a material blocking Cu atoms from diffusing is deposited on the inner surfaces of the wiring trenches 11 and surface of the layer insulation film 10, an impurity-contg. Cu seed layer 13 is deposited on the barrier layer 12 surface, a Cu conductive layer 14 is deposited by the plating to fully fill the wiring trenches, the substrate is heated to deposit an impurity of the seed layer 13 on at least the interface between the seed layer 13 and barrier layer 12, and the conductive layer 14, seed layer 13 and barrier layer 12 are removed until the top face of the layer insulation film 10 appears, thus planarizing the surface.

COPYRIGHT: (C)1999, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-297696

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.*

H 01 L 21/3205
21/28
21/768

識別記号

3 0 1

F I

H 01 L 21/88
21/28
21/90

M
3 0 1 R
C

審査請求 未請求 請求項の数15 O.L (全 9 頁)

(21)出願番号

特願平10-97948

(22)出願日

平成10年(1998)4月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 清水 紀嘉

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 北田 秀樹

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 大塚 信幸

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 高橋 敬四郎

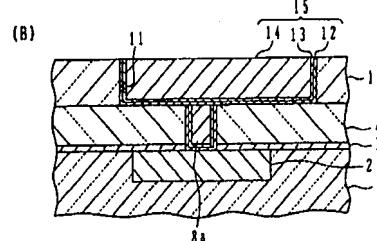
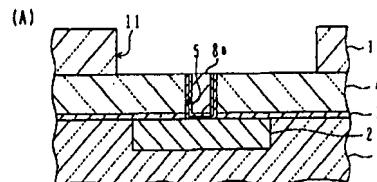
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 めっき法により、下地表面との密着性が高く、エレクトロマイグレーション耐性の高いCu配線を形成する方法を提供する。

【解決手段】 半導体素子が形成された基板の表面上に、層間絶縁膜を堆積する。層間絶縁膜に、配線用の溝を形成する。配線用の溝の内面及び層間絶縁膜の表面上に、Cu原子の拡散を防止する材料からなるバリア層を堆積する。バリア層の表面上に、不純物を含んだCuからなるシード層を堆積する。シード層の上に、配線用の溝内を埋め尽くすように、めっき法によりCuからなる導電層を堆積する。基板を加熱し、シード層内の不純物を、少なくともシード層とバリア層との界面に析出させる。層間絶縁膜の上面が露出するまで、導電層、シード層、及びバリア層を除去し、表面を平坦化する。

実施例による配線の形成方法(その2)



10: 層間絶縁膜 11: 溝
12: バリア層 13: シード層
14: 導電層 15: 配線

【特許請求の範囲】

【請求項1】 絶縁性の表面を有する基板と、前記基板の上に形成された配線であって、該配線がバリア層とCu層との積層構造を有し、該バリア層が前記Cu層のCu原子の下地基板への拡散を防止する材料で形成され、前記バリア層とCu層との界面に不純物が析出しており、該Cu層内に、前記界面に析出している不純物と同一の不純物を含み、その不純物濃度が、該Cu層とバリア層との界面から離れるに従って低くなっている前記配線とを有する半導体装置。

【請求項2】 前記不純物が、Cr、Mg、Zr、Sn、Pd、Ag、Ti、Alからなる群より選ばれた少なくとも1つの不純物である請求項1に記載の半導体装置。

【請求項3】 半導体素子が形成された基板の表面上に、層間絶縁膜を堆積する工程と、前記層間絶縁膜に、配線用の溝を形成する工程と、前記配線用の溝の内面及び前記層間絶縁膜の表面上に、Cu原子の拡散を防止する材料からなるバリア層を堆積する工程と、前記バリア層の表面上に、不純物を含んだCuからなるシード層を堆積する工程と、前記シード層の上に、前記配線用の溝内を埋め尽くすように、めっき法によりCuからなる導電層を堆積する工程と、前記基板を加熱し、前記シード層内の不純物を、少なくとも該シード層と前記バリア層との界面に析出させる工程と、前記層間絶縁膜の上面が露出するまで、前記導電層、シード層、及びバリア層を除去し、表面を平坦化する工程とを有する半導体装置の製造方法。

【請求項4】 前記平坦化する工程を、前記析出させる工程の前に行う請求項3に記載の半導体装置の製造方法。

【請求項5】 前記配線用の溝を形成する工程の前に、さらに、前記層間絶縁膜に、該層間絶縁膜を貫通するビアホールを形成する工程を含み、前記配線用の溝を形成する工程において、前記ビアホールと部分的に重なるように、前記層間絶縁膜の厚さよりも浅い前記溝を形成し、前記バリア層を堆積する工程、及び前記シード層を堆積する工程において、前記溝の内面上にも前記バリア層及びシード層を堆積し、前記導電層を堆積する工程において、前記溝内をも埋め尽くすように前記導電層を堆積する請求項3または4に記載の半導体装置の製造方法。

【請求項6】 前記不純物が、Cr、Mg、Zr、Sn、Pd、Ag、Ti、Alからなる群より選ばれた少なくとも1つの不純物である請求項3～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記析出させる工程において、前記基板を温度300°C以上に加熱する請求項3～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記析出させる工程において、圧力 1×10^{-3} Torr以下の真空中で熱処理を行う請求項3～7のいずれかに記載の半導体装置の製造方法。

【請求項9】 半導体素子が形成された基板の表面上に、層間絶縁膜を堆積する工程と、前記層間絶縁膜に、配線用の溝を形成する工程と、

10 前記配線用の溝の内面及び前記層間絶縁膜の表面上に、Cu原子の拡散を防止する材料からなるバリア層を堆積する工程と、

前記バリア層の表面上に、金属または半導体からなる不純物層とCuからなるシード層との積層構造を形成する工程と、

前記積層構造の上に、前記配線用の溝内を埋め尽くすように、めっき法によりCuからなる導電層を堆積する工程と、

前記基板を加熱し、前記不純物層の析出硬化型不純物を20 前記シード層内に拡散させ、少なくとも前記シード層と前記バリア層との界面に析出させる工程と、

前記層間絶縁膜の上面が露出するまで、前記導電層、積層構造、及びバリア層を除去し、表面を平坦化する工程とを有する半導体装置の製造方法。

【請求項10】 前記積層構造を形成する工程において、前記不純物層を堆積し、その上に前記シード層を堆積する請求項9に記載の半導体装置の製造方法。

【請求項11】 前記平坦化する工程を、前記析出させる工程の前に行う請求項9または10に記載の半導体装置の製造方法。

【請求項12】 前記配線用の溝を形成する工程の前に、さらに、前記層間絶縁膜に、該層間絶縁膜を貫通するビアホールを形成する工程を含み、

前記配線用の溝を形成する工程において、前記ビアホールと部分的に重なるように、前記層間絶縁膜の厚さよりも浅い前記溝を形成し、前記バリア層を堆積する工程、及び前記シード層を堆積する工程において、前記溝の内面上にも前記バリア層及びシード層を堆積し、

40 前記導電層を堆積する工程において、前記溝内をも埋め尽くすように前記導電層を堆積する請求項9～11のいずれかに記載の半導体装置の製造方法。

【請求項13】 前記不純物が、Cr、Mg、Zr、Sn、Pd、Ag、Ti、Alからなる群より選ばれた少なくとも1つの不純物である請求項9～12のいずれかに記載の半導体装置の製造方法。

【請求項14】 前記析出させる工程において、前記基板を温度300°C以上に加熱する請求項9～13のいずれかに記載の半導体装置の製造方法。

50 【請求項15】 前記析出させる工程において、圧力1

3

$\times 10^{-3}$ Torr以下の真空中で熱処理を行う請求項9～14のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年の大規模半導体集積回路装置(LSI)における加工技術の進歩に伴い、個々の素子が微細化され、配線も高密度化、多層化、薄膜化されている。このため、配線に加わる応力や配線を流れる電流の密度は増加の一途を辿っている。例えば、典型的な論理LSIを考えた場合、 $0.35\mu m$ のデザインルールのLSIでは電源線に流す電流密度が約 $1 \times 10^5 A/cm^2$ であるのに対し、 $0.25\mu m$ のデザインルールのLSIではそれが $3 \times 10^5 A/cm^2$ まで増加し、 $0.18\mu m$ のデザインルールのLSIではそれが $1 \times 10^6 A/cm^2$ まで増加する。電流密度の増加により、エレクトロマイグレーションによる配線の破断が問題になってくる。

【0003】従来、LSIの配線材料としてアルミニウム(A1)が用いられてきた。A1にCu、Si、Ti、Pd等の不純物を添加したり、A1配線層の上下をTiN、Ti、TiW等の高融点金属層で挟んだ積層構造とすることにより、A1配線のエレクトロマイグレーション耐性を高めていた。

【0004】しかし、A1の抵抗率に依存する信号伝搬遅延や、A1配線に流すことのできる電流密度の制限により、A1配線を用いることに限界が見えてきている。【0005】A1に代わる配線材料としてCuが注目されている。Cuの抵抗率はA1の抵抗率よりも約37%低いため、電気抵抗に起因する信号伝搬遅延を低減することができる。また、CuはA1よりも融点が高く、自己拡散エネルギーも大きいため、配線に流すことのできる電流密度をA1配線に比べて一桁程度高めることが可能と考えられる。

【0006】

【発明が解決しようとする課題】Cuは、ドライエッチングによる微細加工が困難なため、A1配線の形成に用いられてきた加工方法を適用することが困難である。そのため、層間絶縁膜に配線用の溝を形成し、この溝内にCuを埋め込むダマシング法が注目されている。ダマシング法でCu配線を形成する場合には、高アスペクト比のビアホールや溝内を再現性良く埋め込む必要がある。この埋め込み方法として、スパッタリング法、めっき法、及び化学気相堆積(CVD)法が知られている。

【0007】スパッタリング法では、Cu膜をスパッタリングにより堆積した後、 $350^\circ C$ 以上の熱処理を行ってビアホールや溝内をCuで埋め込む。スパッタリング法では、高アスペクト比の溝を再現性良く埋め込むこと

4

が困難であるため、アスペクト比1～1.5程度の溝の埋め込みが限界である。

【0008】CVD法では、高アスペクト比の溝を再現性良く埋め込むことが可能であるが、一般的に膜の成長速度が遅いため、スループットが低く、生産コストが高くなると予想される。

【0009】めっき法では、Cuをめっきすることにより溝内を埋め込む。電解めっき法によると、めっき溶液中のCuイオンを溝の底まで引き込むことができるため、高アスペクト比の溝を再現性良く埋め込むことができる。また、成膜速度も比較的速いため、量産に適している。

【0010】しかし、めっき法は湿式プロセスであるため、エレクトロマイグレーション耐性の高い高品質のCu膜を形成することが困難であり、また下地表面との密着性も悪いと予想される。

【0011】本発明の目的は、下地表面との密着性が高く、エレクトロマイグレーション耐性の高いCu配線を有する半導体装置を提供することである。

【0012】本発明の他の目的は、めっき法により、下地表面との密着性が高く、エレクトロマイグレーション耐性の高いCu配線を形成する方法を提供することである。

【0013】

【課題を解決するための手段】本発明の一観点によると、絶縁性の表面を有する基板と、前記基板の上に形成された配線であって、該配線がバリア層とCu層との積層構造を有し、該バリア層が前記Cu層のCu原子の下地基板への拡散を防止する材料で形成され、前記バリア層とCu層との界面に不純物が析出しており、該Cu層内に、前記界面に析出している不純物と同一の不純物を含み、その不純物濃度が、該Cu層とバリア層との界面から離れるに従って低くなっている前記配線とを有する半導体装置が提供される。

【0014】バリア層とCu層との界面に不純物が析出しているため、バリア層へのCu層の密着性を高めることができる。Cu層内にも同一の不純物が含まれているため、エレクトロマイグレーション耐性を高めることができる。Cu層内において、バリア層との界面から離れるに従って不純物濃度が低くなっているため、Cu層の電気抵抗の低下を抑制することができる。

【0015】本発明の他の観点によると、半導体素子が形成された基板の表面上に、層間絶縁膜を堆積する工程と、前記層間絶縁膜に、配線用の溝を形成する工程と、前記配線用の溝の内面及び前記層間絶縁膜の表面上に、Cu原子の拡散を防止する材料からなるバリア層を堆積する工程と、前記バリア層の表面上に、不純物を含んだCuからなるシード層を堆積する工程と、前記シード層の上に、前記配線用の溝内を埋め尽くすように、めっき法によりCuからなる導電層を堆積する工程と、前記基

5

板を加熱し、前記シード層内の不純物を、少なくとも該シード層と前記バリア層との界面に析出させる工程と、前記層間絶縁膜の上面が露出するまで、前記導電層、シード層、及びバリア層を除去し、表面を平坦化する工程とを有する半導体装置の製造方法が提供される。

【0016】本発明の他の観点によると、半導体素子が形成された基板の表面上に、層間絶縁膜を堆積する工程と、前記層間絶縁膜に、配線用の溝を形成する工程と、前記配線用の溝の内面及び前記層間絶縁膜の表面上に、Cu原子の拡散を防止する材料からなるバリア層を堆積する工程と、前記バリア層の表面上に、不純物層とCuからなるシード層との積層構造を形成する工程と、前記積層構造の上に、前記配線用の溝内を埋め尽くすように、めっき法によりCuからなる導電層を堆積する工程と、前記基板を加熱し、前記不純物を前記シード層内に拡散させ、少なくとも前記シード層と前記バリア層との界面に析出させる工程と、前記層間絶縁膜の上面が露出するまで、前記導電層、積層構造、及びバリア層を除去し、表面を平坦化する工程とを有する半導体装置の製造方法が提供される。

【0017】バリア層とシード層との界面に不純物を析出させるため、バリア層へのシード層の密着性を高めることができる。導電層内にも同一の不純物が拡散し、導電層の結晶粒界に析出すると考えられる。このため、導電層のエレクトロマイグレーション耐性を高めることができる。

【0018】

【発明の実施の形態】図1及び図2を参照して、本発明の実施例によるCu配線の形成方法について説明する。

【0019】図1(A)に示すように、半導体基板の表面上に形成された層間絶縁膜1の上層部の一部に、下層配線2が形成されている。層間絶縁膜1および下層配線2の表面上に、厚さ30nmのSiN膜3を、CVDにより堆積する。SiN膜3の上に、SiO₂からなる厚さ500nmの層間絶縁膜4をCVDにより堆積する。SiN膜3は、下層配線2を構成する金属原子が層間絶縁膜4内へ拡散することを防止する。

【0020】図1(B)に示すように、層間絶縁膜4及びSiN膜3に、下層配線2の表面の一部を露出させるピアホール5を形成する。ピアホール5の内面及び層間絶縁膜4の表面上に、TiNからなる厚さ30nmのバリア層6を堆積する。TiN層6の堆積は、例えば、Tiターゲットを用いた反応性コリメーションスパッタリングにより、Arガス流量10sccm、N₂ガス流量60sccm、圧力4mTorr、プラズマ発生用の高周波電力8kW、基板温度300°Cの条件で行う。なお、コリメータのアスペクト比は、例えば1:1とする。

【0021】バリア層6の上に、不純物としてSnを0.5重量%含むCuからなる厚さ50nmのシード層

6

7を堆積する。シード層7の堆積は、例えば、不純物としてSnを0.5重量%含むCuターゲットを用いたコリメーションスパッタリングにより、Arガス流量50sccm、圧力2.5mTorr、プラズマ発生用の高周波電力10kW、基板温度室温の条件で行う。なお、コリメータのアスペクト比は、例えば1:1とする。

【0022】シード層7の上に、シード層7を電極として用い、電解めっき法により、不純物を含まないCuからなる導電層8を堆積する。導電層8は、ピアホール5内を埋め尽くす程度の厚さとする。圧力100TorrのArとH₂との混合雰囲気中で温度400°Cで15分間の熱処理を行う。

【0023】図1(C)に示すように、層間絶縁膜4の上面が露出するまで化学機械研磨(CMP)を行い、不要なバリア層6、シード層7及び導電層8を除去する。ピアホール5内にのみ、導電性プラグ8aが残る。

【0024】図2(A)に示すように、層間絶縁膜4及び導電性プラグ8aの表面を覆うように、SiO₂からなる厚さ500nmの層間絶縁膜10を堆積する。層間絶縁膜10に、その全厚さ部分を貫通する溝11を形成する。溝11の底面の一部に導電性プラグ8aの表面が露出する。

【0025】図2(B)に示すように、溝11内を、TiNからなるバリア層12、不純物としてSnを含むCuからなるシード層13、Cuからなる導電層14で埋め尽くす。この埋め込みは、図1(B)で説明したバリア層6、シード層7、導電層8の堆積、及び図1(C)で説明したCMPと同様の方法で行う。このようにして、バリア層12、シード層13及び導電層14の3層からなる配線15が形成される。圧力100TorrのArとH₂との混合雰囲気中で温度400°Cで15分間の熱処理を行う。

【0026】図3(A)及び図3(B)は、それぞれ熱処理前及び熱処理後の、バリア層12から導電層14までの3層構造の断面を模式的に表した図である。

【0027】図3(A)に示すように、シード層13及び導電層14が、複数の結晶粒により形成されている。熱処理前においては、室温で成膜したシード層13の各結晶粒内及び粒界に、不純物13aがほぼ均一に分散している。

【0028】図3(B)に示すように、熱処理を行うと、シード層13と導電層14とが再結晶化し、両者の明確な界面が消滅する。同時に、シード層13に含まれていた不純物13aが、シード層13とバリア層12との界面、及びシード層13と導電層14内の結晶粒界に析出する。

【0029】バリア層12とシード層13との界面に不純物13aが析出するため、シード層13とバリア層12との密着性を高めることができる。

【0030】シード層13と導電層14の結晶粒界に不

純物13aが析出すると、エレクトロマイグレーションによるCu原子の移動を妨げる。このため、エレクトロマイグレーション耐性を高めることができる。例えば、純銅の配線寿命の活性化エネルギーが0.75eVであるのに対し、Snを0.5重量%添加することにより配線寿命の活性化エネルギーが1.1eVまで増加することが報告されている(Mat. Res. Soc. Symp. Proc. Vol. 428, p43, 1996)。なお、不純物としてZrを用いることにより、配線寿命の活性化エネルギーが1.4eVまで高くなるとの報告もある。

【0031】一般に、Cuのエレクトロマイグレーションは、Alの場合と異なり、粒界拡散よりもバリア層との界面拡散が支配的であると考えられている。上記実施例の方法によると、図3(B)に示すようにシード層13とバリア層12との界面に優先的に不純物13aを析出させることができる。このため、シード層13と導電層14の電気抵抗の上昇を抑制し、かつエレクトロマイグレーション耐性を高めることができる。

【0032】上記実施例では、図2(B)に示す工程において、CMPを行った後に熱処理を行う場合を説明したが、CMPを行う前に熱処理を行ってもよい。熱処理により、シード層13とバリア層12との密着性が高まるため、CMP時の配線の剥がれが抑制される。

【0033】次に、図4を参照して他の実施例について説明する。上記実施例では、ビアホールの埋め込みと配線溝の埋め込みとを、別々に行なったが、他の実施例では、ビアホールと配線溝とを同時に埋め込む。

【0034】図4(A)に示すように、層間絶縁膜20の上層部の一部に配線21が形成されている。配線21及び層間絶縁膜20の表面を覆うようにSiO₂からなる層間絶縁膜22を堆積する。層間絶縁膜22の堆積は、図1(A)に示す層間絶縁膜4の堆積と同様の方法で行う。

【0035】図4(B)に示すように、層間絶縁膜22に、配線21の表面の一部を露出させるビアホール23を形成する。

【0036】図4(C)に示すように、層間絶縁膜22に、ビアホール23と部分的に重なる配線用の溝25を形成する。溝25は、層間絶縁膜22の厚さよりも浅い。溝25の底面の一部にビアホール23が開口する。ビアホール23及び溝25の形成は、例えばエッティングガスとしてCF₄を用いたドライエッティングにより行う。

【0037】図4(D)に示すように、ビアホール23及び溝25の内面及び層間絶縁膜22の表面上に、TiNからなるバリア層30、Snを0.5重量%含むCuからなるシード層31を順番に堆積する。この堆積は、図1(B)のバリア層6及びシード層7の堆積と同様の方法で行う。シード層31の上に、不純物を含まないC

uからなる導電層32を堆積する。この堆積は、図1(B)の導電層8の堆積と同様の方法で行う。導電層32の堆積後、図1(B)の場合と同様に、圧力100TorrのArとH₂との混合雰囲気中で温度400°Cで15分間の熱処理を行う。

【0038】図4(E)に示すように、バリア層30から導電層3までの積層構造のうち不要な部分をCMPにより除去し、表面を平坦化する。ビアホール23及び溝25内にのみ、バリア層30a、シード層31a、及び導電層32aが残る。このようにして、バリア層30a、シード層31a、及び導電層32aからなる配線35が形成される。

【0039】図4に示す他の実施例においても、バリア層30aとシード層31aとの界面に不純物を析出させ、シード層31a及び導電層32aの密着性及びエレクトロマイグレーション耐性を高めることができる。

【0040】上記実施例では、図1(B)及び図4(D)において、バリア層6及び30をコリメーションスパッタリングにより堆積したが、その他の方法で堆積してもよい。例えば、イオン化スパッタリング、低圧スパッタリング、遠距離スパッタリング等の指向性のあるスパッタリングにより堆積してもよい。また、バリア層としてTiNを用いた場合を説明したが、Cuの拡散を防止することができるその他の材料、例えばTa、TaN、W、WN、TiSiN等を用いてもよい。

【0041】上記実施例では、図1(B)及び図4(D)において、シード層7及び31をコリメーションスパッタリングにより堆積したが、その他の方法で堆積してもよい。上述の指向性のあるスパッタリングにより

堆積してもよいし、有機金属化学気相堆積(MOCVD)により堆積してもよい。MOCVDによる堆積は、例えば、Cu原料としてCu(hfac)(tmvs)(銅-ヘキサフルオロアセチルアセトネートトリメチルビニルシラン)、Snの原料としてテトラメチル錫、キャリアガスとしてH₂を用い、基板温度170°C、圧力1Torr、原料供給量0.3g/min、キャリアガス流量500sccmの条件で行なうことができる。

【0042】また、上記実施例では、図3(A)のシード層13に不純物13aとしてSnを添加した場合を説明したが、Sn以外の析出硬化型不純物、例えばCr、Mg、Zr、Pd、Al、Ti、Agを添加してもよい。

【0043】また、上記実施例では、図3(A)に示すように不純物をシード層の中に含ませた場合を説明したが、シード層と不純物からなる薄層とを積層してもよい。この2層を積層する順番は任意である。

【0044】また、上記実施例では、図1(B)及び図4(D)において、Cuの導電層8及び32を電解めつきにより堆積する場合を説明したが、無電解めつきにより堆積してもよい。

9

【0045】また、上記実施例では、図1(B)、図2(B)、図4(D)における熱処理を、ArとH₂との混合雰囲気中で行ったが、これはCuの酸化を防止するためである。従って、この熱処理を真空中で行ってもよい。このとき、圧力を1×10⁻³Torr以下とすることが好ましい。また、熱処理の温度は、Cuの再結晶化を促進するために、300°C以上とすることが好ましい。

【0046】図5は、上記実施例によるCu配線の形成方法を適用した半導体装置の断面図を示す。シリコン基板50の表面にフィールド酸化膜52が形成され、活性領域が画定されている。活性領域内に、MOSFET51が形成されている。この基板の表面上に、5層の配線層61A～61Eが形成されている。各配線層は、それぞれ層間絶縁膜60A～60Eにより相互に絶縁されている。層間絶縁膜60A～60Eの各々とそれに対応する配線層61A～61Eは、上記実施例または他の実施例による方法で形成される。

【0047】各配線層61A～61Eは、めっき法により堆積されるため、高いスループットを確保することができる。また、Al配線に比べて低抵抗化することができるため、信号伝搬速度を速くし、処理速度の高速化を図ることができる。さらに、高いエレクトロマイグレーション耐性を得ることができるので、信頼性を向上させることが可能になる。

【0048】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0049】

【発明の効果】以上説明したように、本発明によれば、Cu配線とバリア層との界面に不純物を析出させること

10

により、Cu配線の密着性、エレクトロマイグレーション耐性を高めることができる。

【図面の簡単な説明】

【図1】本発明の実施例によるCu配線の形成方法を説明するための配線層の断面図(その1)である。

【図2】本発明の実施例によるCu配線の形成方法を説明するための配線層の断面図(その2)である。

【図3】熱処理前及び熱処理後の、バリア層、シード層、及び導電層の3層構造の断面を模式的に示す図である。

【図4】本発明の他の実施例によるCu配線の形成方法を説明するための配線層の断面図である。

【図5】本発明の実施例または他の実施例を適用した半導体装置の断面図である。

【符号の説明】

1、4、10、20、22、60A～60E 層間絶縁膜

2、21 下層配線

3 SiN膜

5、23 ピアホール

6、12、30 バリア層

7、13、31 シード層

8、14、32 導電層

8a 導電性プラグ

11、25 溝

13a 析出硬化型不純物

15、35 配線

50 シリコン基板

51 MOSFET

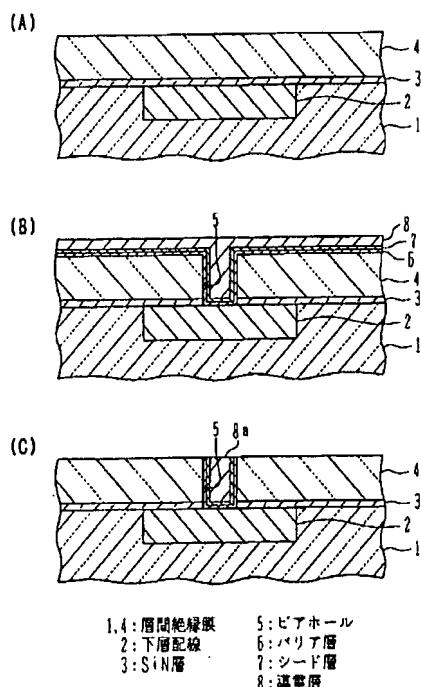
52 フィールド酸化膜

61A～61E 配線層

30

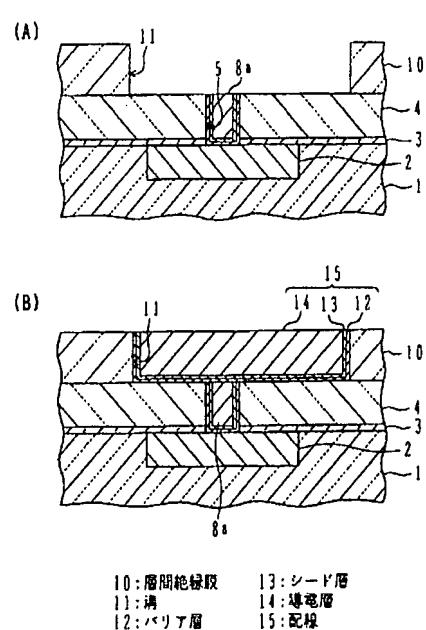
【図1】

実施例による配線の形成方法(その1)

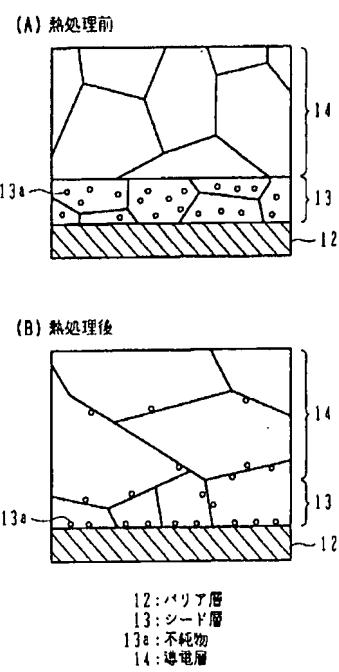


【図2】

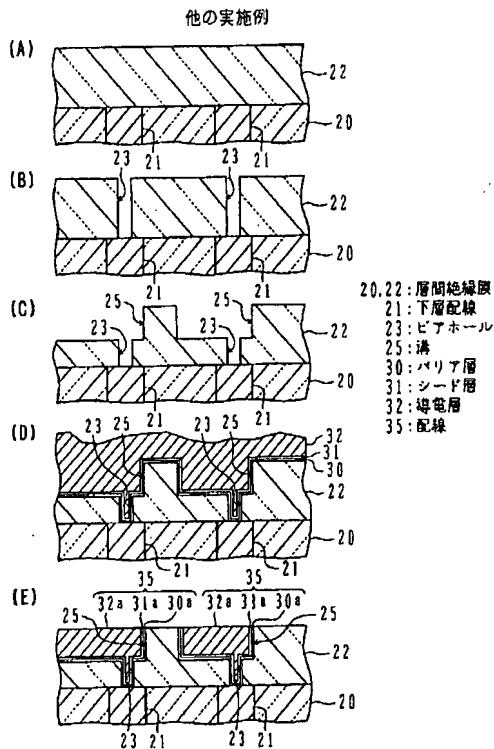
実施例による配線の形成方法(その2)



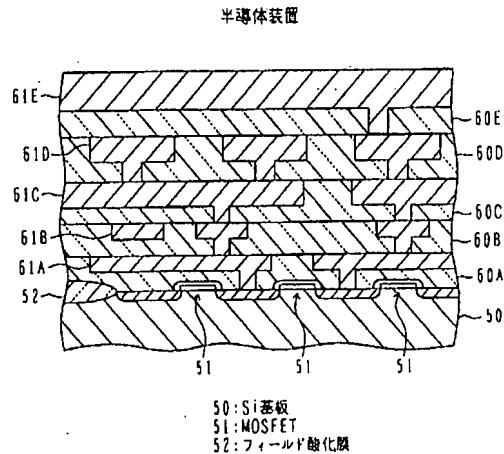
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成10年10月2日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項5

【補正方法】変更

【補正内容】

【請求項5】 前記配線用の溝を形成する工程の前に、さらに、前記層間絶縁膜に、該層間絶縁膜を貫通するピアホールを形成する工程を含み、
前記配線用の溝を形成する工程において、前記ピアホールと部分的に重なるように、前記層間絶縁膜の厚さよりも浅い前記溝を形成し、
前記バリア層を堆積する工程、及び前記シード層を堆積する工程において、前記ピアホールの内面上にも前記バリア層及びシード層を堆積し、
前記導電層を堆積する工程において、前記ピアホール内をも埋め尽くすように前記導電層を堆積する請求項3または4に記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項9

【補正方法】変更

【補正内容】

【請求項9】 半導体素子が形成された基板の表面上に、層間絶縁膜を堆積する工程と、
前記層間絶縁膜に、配線用の溝を形成する工程と、
前記配線用の溝の内面及び前記層間絶縁膜の表面上に、Cu原子の拡散を防止する材料からなるバリア層を堆積する工程と、
前記バリア層の表面上に、金属または半導体からなる析出硬化型不純物からなる不純物層とCuからなるシード層との積層構造を形成する工程と、
前記積層構造の上に、前記配線用の溝内を埋め尽くすように、めっき法によりCuからなる導電層を堆積する工程と、
前記基板を加熱し、前記不純物層の原子を前記シード層内に拡散させ、少なくとも前記シード層と前記バリア層との界面に析出させる工程と、

前記層間絶縁膜の上面が露出するまで、前記導電層、積層構造、及びバリア層を除去し、表面を平坦化する工程とを有する半導体装置の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項12

【補正方法】変更

【補正内容】

【請求項12】 前記配線用の溝を形成する工程の前に、さらに、前記層間絶縁膜に、該層間絶縁膜を貫通するビアホールを形成する工程を含み、前記配線用の溝を形成する工程において、前記ビアホールと部分的に重なるように、前記層間絶縁膜の厚さよりも浅い前記溝を形成し、前記バリア層を堆積する工程、及び前記シード層を堆積する工程において、前記ビアホールの内面上にも前記バ

リア層及びシード層を堆積し、

前記導電層を堆積する工程において、前記ビアホール内をも埋め尽くすように前記導電層を堆積する請求項9～11のいずれかに記載の半導体装置の製造方法。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】図4(E)に示すように、バリア層30から導電層32までの積層構造のうち不要な部分をCMPにより除去し、表面を平坦化する。ビアホール23及び溝25内にのみ、バリア層30a、シード層31a、及び導電層32aが残る。このようにして、バリア層30a、シード層31a、及び導電層32aからなる配線35が形成される。

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] each component makes it detailed with an advance of the processing technique in large-scale semiconductor integrated circuit equipment (LSI) in recent years -- having -- wiring -- densification -- it is multilayered and thin-film-ized. For this reason, the increment of the consistency of the current which flows the stress which joins wiring, and wiring is being enhanced. for example, the current density passed on a power-source line by LSI of a 0.35-micrometer design rule when the typical logic LSI is considered -- about -- 1×10^5 A/cm² it is -- a thing -- receiving -- LSI of a 0.25-micrometer design rule -- it -- 3×10^5 A/cm² up to -- increasing -- LSI of a 0.18-micrometer design rule -- it -- 1×10^6 A/cm² up to -- it increases. By the increment in current density, fracture of wiring by electromigration becomes a problem.

[0003] Conventionally, aluminum (aluminum) has been used as a wiring material of LSI. The electromigration resistance of aluminum wiring was raised by adding impurities, such as Cu, Si, Ti, and Pd, to aluminum, or making the upper and lower sides of aluminum wiring layer into the laminated structure inserted in refractory metal layers, such as TiN, Ti, and TiW.

[0004] However, a limitation is visible to using aluminum wiring with a limit of the signal propagation delay depending on the resistivity of aluminum, and the current density which can be passed to aluminum wiring.

[0005] Cu attracts attention as a wiring material which replaces aluminum. Since the resistivity of Cu is lower than the resistivity of aluminum about 37%, the signal propagation delay resulting from electric resistance can be reduced. Moreover, the melting point of Cu is higher than aluminum, and since self-diffusion energy is also large, it is thought possible to raise the about single figure current density which can be passed to wiring compared with aluminum wiring.

[0006]

[Problem(s) to be Solved by the Invention] Since micro processing by dry etching is difficult for Cu, it is difficult to apply the processing approach used for formation of aluminum wiring. therefore, DAMASHIN which forms the slot for wiring in an interlayer insulation film, and embeds Cu at this Mizouchi -- law attracts attention. To form Cu wiring by the DAMASHIN method, it is necessary to embed the beer hall of a high aspect ratio, and Mizouchi with sufficient repeatability. as this approach of embedding -- the sputtering method, the galvanizing method, and chemical vapor deposition (CVD) -- law is known.

[0007] By the sputtering method, after depositing Cu film by sputtering, heat treatment of 350 degrees C or more is performed, and a beer hall and Mizouchi are embedded by Cu. By the sputtering method, since it is difficult to embed the slot of a high aspect ratio with sufficient repeatability, the embedding of the slot which is about one to 1.5 aspect ratio is a limitation.

[0008] In a CVD method, although it is possible to embed the slot of a high aspect ratio with sufficient repeatability, since the membranous growth rate is slow, generally a throughput is expected that are low and a production cost becomes high.

[0009] By the galvanizing method, Mizouchi is embedded by galvanizing Cu. According to the electrolysis galvanizing method, since Cu ion in a plating solution can be drawn to the bottom of a slot, the slot which is a high aspect ratio can be embedded with sufficient repeatability. Moreover, since a membrane formation rate is also comparatively quick, it is suitable for mass production.

[0010] However, since the galvanizing method is a wet process, it is expected that the adhesion on the front face of a substrate is also bad difficult to form Cu film of high quality with high electromigration resistance.

[0011] The purpose of this invention has the high adhesion on the front face of a substrate, and it is offering the

semiconductor device which has Cu wiring with high electromigration resistance.

[0012] Other purposes of this invention are offering the approach of the adhesion on the front face of a substrate being high, and forming Cu wiring with high electromigration resistance by the galvanizing method.

[0013]

[Means for Solving the Problem] According to one viewpoint of this invention, they are the substrate which has an insulating front face, and wiring formed on said substrate. This wiring has the laminated structure of a barrier layer and Cu layer, and this barrier layer is formed with the ingredient which prevents the diffusion to the substrate substrate of Cu atom of said Cu layer. The semiconductor device which has said wiring with which the high impurity concentration is low as it separates from the interface of this Cu layer and a barrier layer is offered including the same impurity as the impurity which the impurity deposits in the interface of said barrier layer and Cu layer, and deposits in said interface in this Cu layer.

[0014] Since the impurity deposits in the interface of a barrier layer and Cu layer, the adhesion of Cu layer to a barrier layer can be raised. Since the impurity same also in Cu layer is contained, electromigration resistance can be raised. Since high impurity concentration is low as it separates from an interface with a barrier layer in Cu layer, the fall of the electric resistance which is Cu layer can be controlled.

[0015] The process which deposits an interlayer insulation film on the front face of the substrate with which the semiconductor device was formed according to other viewpoints of this invention, The process which deposits the barrier layer which consists of an ingredient which prevents diffusion of Cu atom on the inside of the process which forms the slot for wiring in said interlayer insulation film, and the slot for said wiring, and the front face of said interlayer insulation film, So that Mizouchi for said wiring may be filled the process which deposits the seed layer which consists of Cu containing an impurity on the front face of said barrier layer, and on said seed layer Until the process which deposits the conductive layer which consists of Cu by the galvanizing method, the process which said substrate is heated [process] and deposits the impurity in said seed layer in the interface of this seed layer and said barrier layer at least, and the top face of said interlayer insulation film are exposed Said conductive layer, a seed layer, and a barrier layer are removed, and the manufacture approach of a semiconductor device of having the process which carries out flattening of the front face is offered.

[0016] The process which deposits an interlayer insulation film on the front face of the substrate with which the semiconductor device was formed according to other viewpoints of this invention, The process which deposits the barrier layer which consists of an ingredient which prevents diffusion of Cu atom on the inside of the process which forms the slot for wiring in said interlayer insulation film, and the slot for said wiring, and the front face of said interlayer insulation film, So that Mizouchi for said wiring may be filled the process which forms a laminated structure with the seed layer which consists of an impurity layer and Cu on the front face of said barrier layer, and on said laminated structure The process which deposits the conductive layer which consists of Cu by the galvanizing method, and the process which said substrate is heated [process], diffuses said impurity in said seed layer, and deposits the interface of said seed layer and said barrier layer at least, Said conductive layer, a laminated structure, and a barrier layer are removed, and the manufacture approach of a semiconductor device of having the process which carries out flattening of the front face is offered until the top face of said interlayer insulation film is exposed.

[0017] Since an impurity is deposited in the interface of a barrier layer and a seed layer, the adhesion of the seed layer to a barrier layer can be raised. The same impurity is spread also in a conductive layer and it is thought that it deposits in the grain boundary of a conductive layer. For this reason, the electromigration resistance of a conductive layer can be raised.

[0018]

[Embodiment of the Invention] With reference to drawing 1 and drawing 2, the formation approach of Cu wiring by the example of this invention is explained.

[0019] As shown in drawing 1 (A), the lower layer wiring 2 is formed in some managements of the interlayer insulation film 1 formed on the front face of a semi-conductor substrate. On the front face of an interlayer insulation film 1 and the lower layer wiring 2, SiN film 3 with a thickness of 30nm is deposited by CVD. an SiN film 3 top -- SiO₂ from -- the interlayer insulation film 4 with a thin thickness of 500nm is deposited by CVD. SiN film 3 prevents that the metal atom which constitutes the lower layer wiring 2 is spread into an interlayer insulation film 4.

[0020] As shown in drawing 1 (B), the beer hall 5 which exposes a part of front face of the lower layer wiring 2 to an interlayer insulation film 4 and SiN film 3 is formed. On the inside of a beer hall 5, and the front face of an interlayer insulation film 4, the barrier layer 6 with a thickness of 30nm it is thin from TiN is deposited. Deposition of the TiN layer 6 is Ar quantity-of-gas-flow 10sccm and N₂ by reactant collimation sputtering which used for example, Ti target. It carries out on conditions with 8kW [of high-frequency power for quantity-of-gas-flow 60sccm, pressure 4mTorr, and plasma generating], and a substrate temperature of 300 degrees C. In addition, the aspect ratio of a collimator is set to 1:1.

[0021] On the barrier layer 6, the seed layer 7 with a thickness of 50nm it is thin from Cu which contains Sn 0.5% of the weight as an impurity is deposited. Collimation sputtering using Cu target which contains Sn 0.5% of the weight as an impurity performs deposition of the seed layer 7 on condition that 10kW of high-frequency power for Ar quantity-of-gas-flow 50sccm, pressure 2.5mTorr, and plasma generating, and a substrate temperature room temperature. In addition, the aspect ratio of a collimator is set to 1:1.

[0022] On the seed layer 7, the seed layer 7 is used as an electrode and the conductive layer 8 which consists of Cu which does not contain an impurity by the electrolysis galvanizing method is deposited. A conductive layer 8 is taken as the thickness of extent which fills the inside of a beer hall 5. Ar and H₂ of pressure 100Torr Heat treatment for 15 minutes is performed at the temperature of 400 degrees C in a mixed ambient atmosphere.

[0023] Chemical machinery polish (CMP) is performed until the top face of an interlayer insulation film 4 is exposed, as shown in drawing 1 (C), and the unnecessary barrier layer 6, the seed layer 7, and a conductive layer 8 are removed. Conductive plug 8a remains only in a beer hall 5.

[0024] It is shown in drawing 2 (A) -- as -- the front face of an interlayer insulation film 4 and conductive plug 8a -- a wrap -- like -- SiO₂ from -- the interlayer insulation film 10 with a thin thickness of 500nm is deposited. The slot 11 which penetrates all the thickness parts to an interlayer insulation film 10 is formed. The front face of conductive plug 8a is exposed to a part of base of a slot 11.

[0025] As shown in drawing 2 (B), it fills with the barrier layer 12 which consists the inside of a slot 11 of TiN, the seed layer 13 which consists of Cu which contains Sn as an impurity, and the conductive layer 14 which consists of Cu. This embedding is performed by the same approach as deposition of the barrier layer 6 explained by drawing 1 (B), the seed layer 7, and a conductive layer 8, and CMP explained by drawing 1 (C). Thus, the wiring 15 which consists of three layers, the barrier layer 12, the seed layer 13, and a conductive layer 14, is formed. Heat treatment for 15 minutes is performed at the temperature of 400 degrees C in the mixed ambient atmosphere of Ar and H₂ of pressure 100Torr.

[0026] Drawing 3 (A) and drawing 3 (B) are drawings which expressed typically the cross section of the three-tiered structure to a conductive layer 14 from the barrier layer 12 before heat treatment and after heat treatment, respectively.

[0027] As shown in drawing 3 (A), the seed layer 13 and the conductive layer 14 are formed with two or more crystal grain. Impurity 13a is distributing to homogeneity mostly in the grain boundary in each crystal grain of the seed layer 13 which formed membranes at the room temperature before heat treatment.

[0028] If it heat-treats as shown in drawing 3 (B), the seed layer 13 and a conductive layer 14 will recrystallize, and both clear interface will be extinguished. Impurity 13a contained in the seed layer 13 at coincidence deposits in the interface of the seed layer 13 and the barrier layer 12, and the grain boundary in the seed layer 13 and a conductive layer 14.

[0029] Since impurity 13a deposits in the interface of the barrier layer 12 and the seed layer 13, the adhesion of the seed layer 13 and the barrier layer 12 can be raised.

[0030] If impurity 13a deposits in the grain boundary of the seed layer 13 and a conductive layer 14, migration of Cu atom by electromigration will be barred. For this reason, electromigration resistance can be raised. For example, it is reported that the activation energy of a wiring life increases Sn to 1.1eV by adding 0.5% of the weight to the activation energy of the wiring life of a pure copper being 0.75eV (43 428 Mat.Res.Soc.Symp.Proc.Vol.p 1996). In addition, there is also a report that the activation energy of a wiring life becomes high to 1.4eV by using Zr as an impurity.

[0031] Generally, unlike the case of aluminum, it is thought that the electromigration of Cu has interface diffusion more dominant than grain boundary diffusion with a barrier layer. According to the approach of the above-mentioned example, as shown in drawing 3 (B), impurity 13a can be deposited with the priority to the interface of the seed layer 13 and the barrier layer 12. For this reason, the rise of the electric resistance of the seed layer 13 and a conductive layer 14 can be controlled, and electromigration resistance can be raised.

[0032] Although the above-mentioned example explained the case where it heat-treated in the process shown in drawing 2 (B) after performing CMP, you may heat-treat, before performing CMP. Since the adhesion of the seed layer 13 and the barrier layer 12 increases, peeling of wiring at the time of CMP is controlled by heat treatment.

[0033] Next, other examples are explained with reference to drawing 4 . Although embedding of a beer hall and embedding of a wiring gutter were separately performed in the above-mentioned example, a beer hall and a wiring gutter are embedded in other examples at coincidence.

[0034] Wiring 21 is formed in some managements of an interlayer insulation film 20 as shown in drawing 4 (A). the front face of wiring 21 and an interlayer insulation film 20 -- a wrap -- like -- SiO₂ from -- the becoming interlayer insulation film 22 is deposited. Deposition of an interlayer insulation film 22 is performed by the same approach as deposition of the interlayer insulation film 4 shown in drawing 1 (A).

[0035] As shown in drawing 4 (B), the beer hall 23 which exposes a part of front face of wiring 21 to an interlayer insulation film 22 is formed.

[0036] As shown in drawing 4 (C), the slot 25 for wiring which laps with a beer hall 23 partially is formed in an

interlayer insulation film 22. A slot 25 is shallower than the thickness of an interlayer insulation film 22. A beer hall 23 carries out opening to a part of base of a slot 25. Formation of a beer hall 23 and a slot 25 is CF₄ as etching gas. The used dry etching performs.

[0037] As shown in drawing 4 (D), the BARUA layer 30 which consists of TiN, and the seed layer 31 which consists of Cu which contains Sn 0.5% of the weight are deposited in order on the inside of a beer hall 23 and a slot 25, and the front face of an interlayer insulation film 22. This deposition is performed by the same approach as deposition of the barrier layer 6 of drawing 1 (B), and the seed layer 7. On the seed layer 31, the conductive layer 32 which consists of Cu which does not contain an impurity is deposited. This deposition is performed by the same approach as deposition of the conductive layer 8 of drawing 1 (B). It is Ar and H₂ of pressure 100Torr like the case of drawing 1 (B) after deposition of a conductive layer 32. Heat treatment for 15 minutes is performed at the temperature of 400 degrees C in a mixed ambient atmosphere.

[0038] As shown in drawing 4 (E), CMP removes an unnecessary part among the laminated structures from the barrier layer 30 to a conductive layer 3, and flattening of the front face is carried out. Only in a beer hall 23 and a slot 25, barrier layer 30a, seed layer 31a, and conductive layer 32a remain. Thus, the wiring 35 which consists of barrier layer 30a, seed layer 31a, and conductive layer 32a is formed.

[0039] Also in other examples shown in drawing 4, an impurity can be deposited in the interface of barrier layer 30a and seed layer 31a, and the adhesion and electromigration resistance of seed layer 31a and conductive layer 32a can be raised.

[0040] In the above-mentioned example, in drawing 1 (B) and drawing 4 (D), although the barrier layers 6 and 30 were deposited by collimation sputtering, you may deposit by the other approaches. For example, you may deposit by sputtering with directivity, such as ionization sputtering, low voltage sputtering, and long distance sputtering. Moreover, although the case where TiN was used as a barrier layer was explained, the other ingredients which can prevent diffusion of Cu, for example, Ta, TaN, W, and WN, TiSiN, etc. may be used.

[0041] In the above-mentioned example, in drawing 1 (B) and drawing 4 (D), although the seed layers 7 and 31 were deposited by collimation sputtering, you may deposit by the other approaches. You may deposit by sputtering with above-mentioned directivity, and may deposit by organic metal chemical vapor deposition (MOCVD). The deposition by MOCVD is H₂ as tetramethyl tin and carrier gas as a raw material of Cu (hfac) (tmvs) (copper-hexafluoro acetylacetone-trimethyl vinylsilane) and Sn as for example, a Cu raw material. It can use and can carry out on condition that the substrate temperature of 170 degrees C, pressure 1Torr, amount of feeding 0.3 g/min, and carrier gas flow rate 500sccm.

[0042] Moreover, although the above-mentioned example explained the case where Sn was added as impurity 13a in the seed layer 13 of drawing 3 (A), precipitation-hardening mold impurities other than Sn, for example, Cr, Mg, Zr, Pd, aluminum, Ti, and Ag, may be added.

[0043] Moreover, although the above-mentioned example explained the case where an impurity was included in a seed layer as shown in drawing 3 (A), the laminating of the thin layer which consists of a seed layer and an impurity may be carried out. The sequence which carries out the laminating of two-layer [this] is arbitrary.

[0044] Moreover, although the above-mentioned example explained the case where the conductive layers 8 and 32 of Cu were deposited with electrolysis plating, in drawing 1 (B) and drawing 4 (D), you may deposit with nonelectrolytic plating.

[0045] Moreover, at the above-mentioned example, it is heat treatment in drawing 1 (B), drawing 2 (B), and drawing 4 (D) Ar and H₂ Although carried out in the mixed ambient atmosphere, this is for preventing oxidation of Cu. Therefore, this heat treatment may be performed in a vacuum. At this time, it is desirable to set a pressure to 1x10 to 3 or less Torrs. Moreover, in order to promote recrystallization of Cu, as for the temperature of heat treatment, it is desirable to consider as 300 degrees C or more.

[0046] Drawing 5 shows the sectional view of the semiconductor device which applied the formation approach of Cu wiring by the above-mentioned example. Field oxide 52 is formed in the front face of a silicon substrate 50, and the active region is demarcated. MOSFET51 is formed in the active region. On the front face of this substrate, the wiring layers 61A-61E of five layers are formed. Each wiring layer is mutually insulated with interlayer insulation films 60A-60E, respectively. The wiring layers 61A-61E corresponding to each of interlayer insulation films 60A-60E and it are formed by the approach by the above-mentioned example or other examples.

[0047] Since each wiring layers 61A-61E are deposited by the galvanizing method, they can secure a high throughput. Moreover, since low resistance can be formed compared with aluminum wiring, signal velocity of propagation can be made quick and improvement in the speed of processing speed can be attained. Furthermore, since high electromigration resistance can be acquired, it becomes possible to raise dependability.

[0048] Although this invention was explained in accordance with the example above, this invention is not restricted to these. For example, probably, it will be obvious to this contractor for various modification, amelioration, combination,

, etc. to be possible.

[0049]

[Effect of the Invention] As explained above, according to this invention, the adhesion of Cu wiring and electromigration resistance can be raised by depositing an impurity in the interface of Cu wiring and a barrier layer.

[Translation done.]

*NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view (the 1) of the wiring layer for explaining the formation approach of Cu wiring by the example of this invention.

[Drawing 2] It is the sectional view (the 2) of the wiring layer for explaining the formation approach of Cu wiring by the example of this invention.

[Drawing 3] It is drawing showing typically the cross section of the three-tiered structure of the barrier layer before heat treatment and after heat treatment, a seed layer, and a conductive layer.

[Drawing 4] It is the sectional view of the wiring layer for explaining the formation approach of Cu wiring by other examples of this invention.

[Drawing 5] It is the sectional view of the semiconductor device which applied the example or other examples of this invention.

[Description of Notations]

1, 4, 10, 20, 22, 60A-60E Interlayer insulation film

2 21 Lower layer wiring

3 SiN Film

5 23 Beer hall

6, 12, 30 Barrier layer

7, 13, 31 Seed layer

8, 14, 32 Conductive layer

8a A conductive plug

11 25 Slot

13a Precipitation-hardening mold impurity

15 35 Wiring

50 Silicon Substrate

51 MOSFET

52 Field Oxide

61A-61E Wiring layer

[Translation done.]